



Презентация на семинаре Microchip MASTERS Russia 2012

Юрий Панчул
Старший инженер MIPS Technologies

25 октября 2012 года



О компании MIPS Technologies

Юрий Панчул
Старший инженер

25 октября 2012 года

Что такое MIPS?

- ✓ **MIPS – одна из популярных RISC архитектур**

- § Возникла в Стенфорде в 1981 году

- ✓ **MIPS Technologies – компания, которая занимается разработкой ядер с MIPS архитектурой и лицензированием архитектуры MIPS как таковой**

- § Лицензиаты ядер могут встраивать их в свои системы на кристалле – Microchip, Sigma, PMC Sierra

- § Лицензиаты архитектуры могут разрабатывать свою микроархитектуру – Broadcom, Cavium, Академия Наук КНР (Loongson)

- ✓ **За 2011 финансовый год в мире было выпущено более 656,000,000 устройств с ядром MIPS, за всю историю 3,600,000,000**

- § Процессоры MIPS стоят в цифровых телевизорах Sony, роутерах Cisco, микроконтроллерах Microchip PIC32, фотоаппаратах Samsung и Casio

- § <http://www.mips.com/everywhere/mips-based-products/>

MIPS Heritage

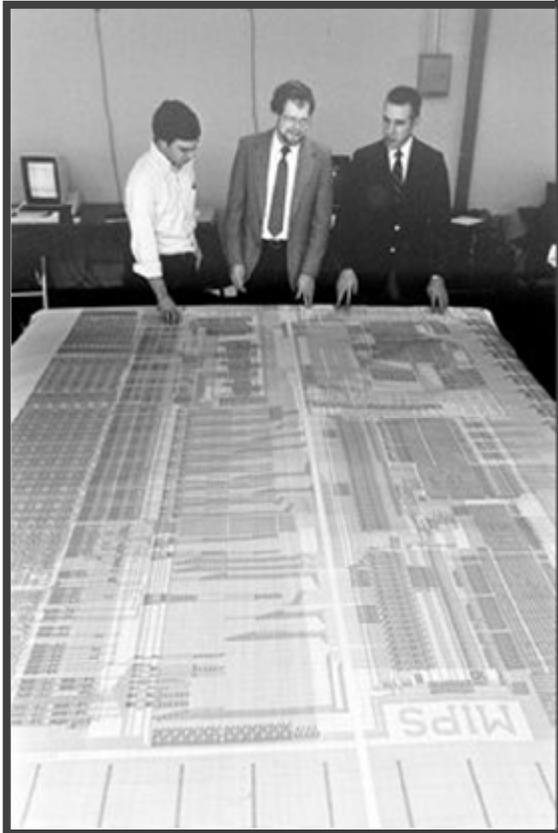


Photo: In 1984, Stanford computer scientists John Shott, John Hennessy and James D. Meindl brainstorm about the MIPS project (Photo: Chuck Painter)

Pioneered by Stanford President John Hennessy in the 1980s

Elegant RISC architecture designed for performance and efficiency

Standard 32- and 64-bit architecture for embedded, mobile, multimedia and networking applications

Continued innovation by MIPS and architecture licensees

More than 3.6 billion MIPS-Based SoCs shipped

Industry's Most Scalable Processor Architecture



MIPS Shipping in Major Brands in Digital Home

SONY



SHARP



TOSHIBA



Panasonic

MOTOROLA

HUMAX
EASY DIGITAL

VESTEL

SANYO

Celrun

Skyworth 创维

Hisense



PHILIPS





Обзор современных процессоров MIPS

Юрий Панчул
Старший инженер

20 октября 2012 года

Классификация современных процессоров MIPS

✓ «Классические» (но не «исторические») ядра от MIPS Technologies

- § MIPS M4K, M14K, M14Kc – малый размер, цена, энергопотребление
- § MIPS 24K, 34K, многоядерный 1004K – эффективность по производительности / милливатт
- § MIPS 74K, многоядерный 1074K – суперскаляр, высшая производительность

✓ Новое (2012) поколение ядер от MIPS Technologies – Aptiv Generation

- § microAptiv – продолжает линейку M14K, добавляет DSP
- § interAptiv – продолжает 1004K, добавляет улучшенный менеджер когерентности
- § proAptiv – на 60-70% производительнее чем 1074K, дополнительные конвейеры ALU

✓ Ядра от лицензиатов архитектуры MIPS

- § Ingenic – 32-битное ядро с 8-стадийным конвейером, очень низкое энергопотребление для своего класса
- § Broadcom, Cavium, NetLogic – высокопроизводительные 64-битные многоядерные сетевые процессоры
- § Loongson – 64-битный суперскалярный процессор от Академии Наук Китая для применений от ноутбуков с Линуксом до серверов и суперкомпьютеров

«Классические» ядра и новое поколение - MIPS Aptiv

Classic MIPS Products

1074K Series

74K Series

1004K Series

34K Series

24K Series

M14K Series

Aptiv Generation

proAptiv™ Family

Fused triple-dispatch
superscalar OoO CPU
EVA, hi speed FPU
1->6 core versions

4.4 CoreMark/MHz
3.5 DMIPS/MHz

- Highest CoreMark/MHz score reported for any licensable IP core
- Leading silicon efficiency in its class

interAptiv™ Family

Multi-threaded core,
EVA, low power
higher perf CM & L2\$,
1->4 core versions

3.2 CoreMark/MHz
~1.7 DMIPS/MHz

- Higher CoreMark/MHz than competing cores in similar die area
- Leading performance efficiency in its class

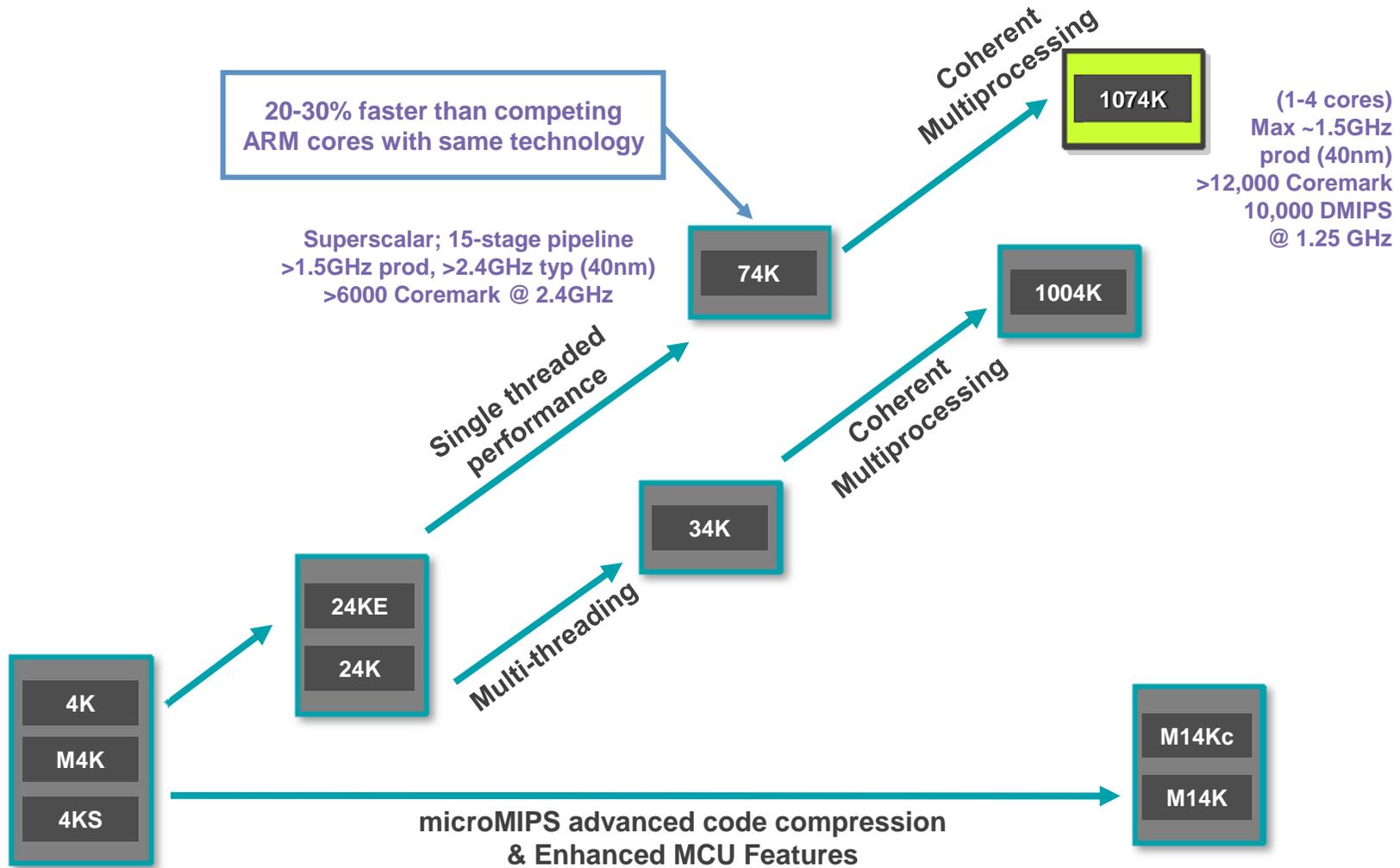
microAptiv™ Family

DSP enhanced
microcontroller and
microprocessor core

3.1 CoreMark/MHz
1.57 DMIPS/MHz

- Highest CoreMark/MHz score among microcontroller-class cores
- Added DSP acceleration and security

«Классические» ядра MIPS Technologies



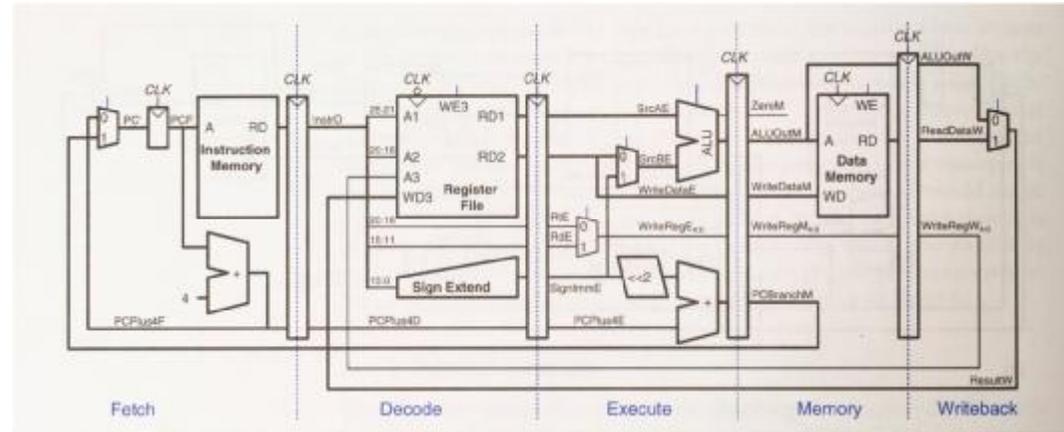
Aptiv Cores Span a Broad Application Range

	Mobile	Home Entertainment	Networking	Embedded
proAptiv™	<ul style="list-style-type: none"> • High-end smartphone & tablet apps processor 	<ul style="list-style-type: none"> • High-end DTV/STB/BD processor 	<ul style="list-style-type: none"> • Res. Gateway • 802.11ac • 3G/4G cellular infrastructure 	<ul style="list-style-type: none"> • Automotive infotainment
interAptiv™	<ul style="list-style-type: none"> • Low-to mid-range apps processor • LTE baseband controller 	<ul style="list-style-type: none"> • Mainstream DTV/STB/BD processor • Digital camera 	<ul style="list-style-type: none"> • Broadband CPE • Femtocell • Smart gateway • NAS 	<ul style="list-style-type: none"> • Auto collision avoidance • Auto powertrain • SATA/RAID/SSD
microAptiv™	<ul style="list-style-type: none"> • Touchscreen • SIM/security • GPS 	<ul style="list-style-type: none"> • Conditional access • WHDMI 	<ul style="list-style-type: none"> • VoIP • MOCA • WLAN 	<ul style="list-style-type: none"> • MCU • Industrial • Smart meters • Automotive body/chassis

Конвейер M4K напоминает конвейер из учебников

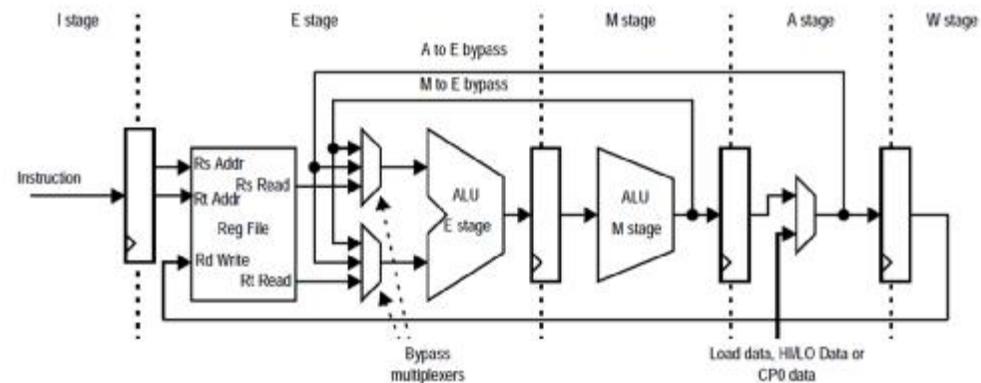
✓ Сверху – конвейер процессора, реализующего подмножество архитектуры MIPS из учебника

✓ David Harris and Sarah Harris. Digital Design and Computer Architecture, 2nd edition. 2012.



✓ Снизу – конвейер промышленного процессора MIPS M4K

✓ MIPS32® M4K™ Processor Core Software User's Manual



Сохраняя преемственность от элегантного академического дизайна, промышленный MIPS M4K оптимизирован по таймингу и содержит много опций

Демо: RetroBSD на Microchip PIC32

- ✓ RetroBSD – версия Unix для микроконтроллеров Microchip PIC32 на основе ядра MIPS M4K
- ✓ <http://retrobsd.org>
- ✓ Создана Сергеем Вакуленко – сотрудником MIPS Technologies



MIPS 24K – история стабильного успеха

- ✓ **Эффективное ядро средней производительности**
 - § Баланс производительности и размера / энергопотребления
- ✓ **8 стадий конвейера (11 стадий в режиме MIPS16e)**
- ✓ **Вышло в 2004 году и с тех пор стабильно успешно**
 - § Лицензии на использование этого ядра купили более 50 компаний, включая Atheros (куплен Qualcomm), Cisco, Lantiq, Ralink, Toshiba и другие
- ✓ **Гибкая поддержка виртуальной памяти с Translation Lookaside Buffer (TLB)**
- ✓ **Вариант MIPS 24Kf поддерживает арифметику с плавающей точкой**
- ✓ **Вариант MIPS 24KE поддерживает расширение для DSP**
- ✓ **1.47 GHz на процессе 40 nm G TSMC, 1.6 DMIPS / MHz, 2.69 Coremark / MHz, 0.10 mW / MHz, 0.36 mm²**

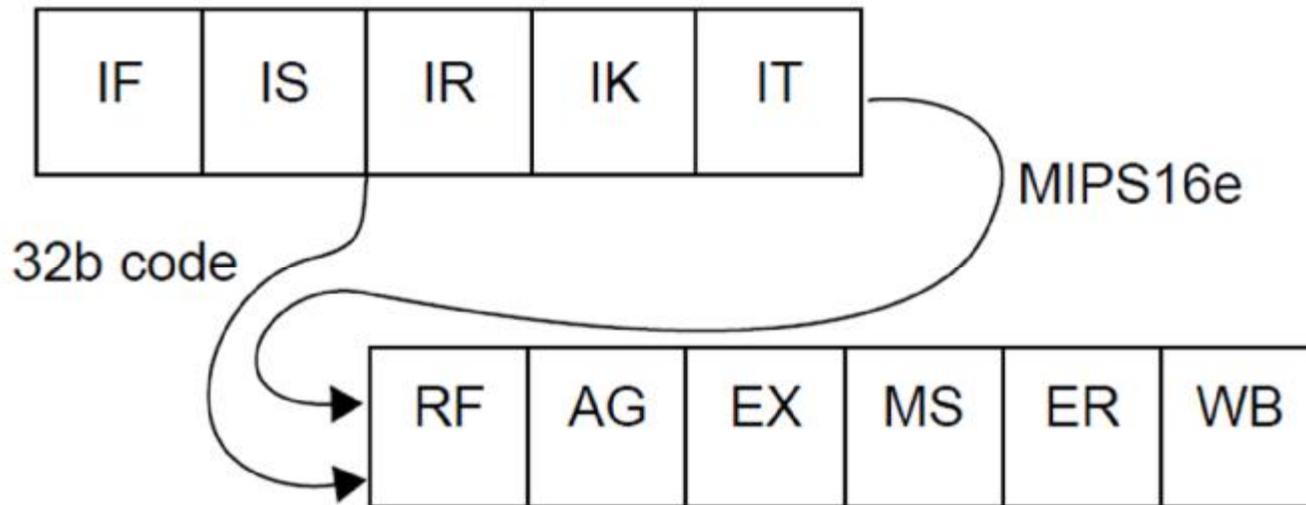
Конвейер MIPS 24K – 8 стадий

✓ Конвейер средней длины

- § Длиннее, чем у 5-стадийных ядер без предсказателя переходов
- § Короче, чем у суперскалярных ядер с конвейером в 14 стадий и выше

✓ Предсказатель переходов очень полезен для 8 стадий

- § Минимизирует сброс конвейера



Демо: Линуксный компьютер за 22 евро на MIPS 24KE



✓ Сделан в Литве

✓ 8devices.com

✓ Ralink RT3050

✓ MIPS24KEc

✓ 320 MHz

✓ OpenWrt Linux

✓ На сайте компании
есть пример работа и
станции наблюдения
погоды

MIPS 34K – многопоточность на одном ядре

- ✓ **Ядро MIPS34K основано на MIPS24K с добавлением многопоточности**

- § Выборка инструкций из памяти происходит для нескольких (до 9) потоков (тредов)

- § Пока один тред долго ждет, инструкции из других тредов могут проходить через конвейер процессора

- § Пример ожидания: загрузка данных из памяти, если этих данных нет в кэше, может занимать до 150 циклов и выше

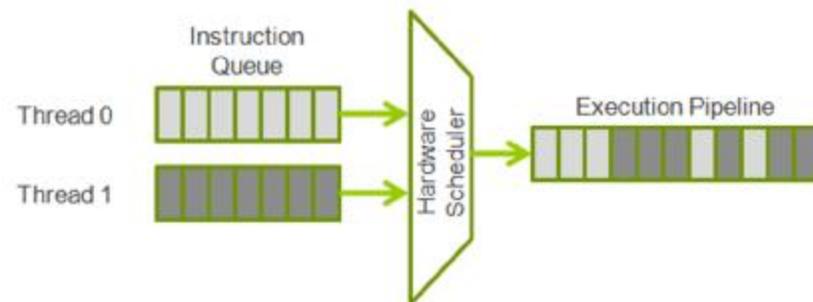
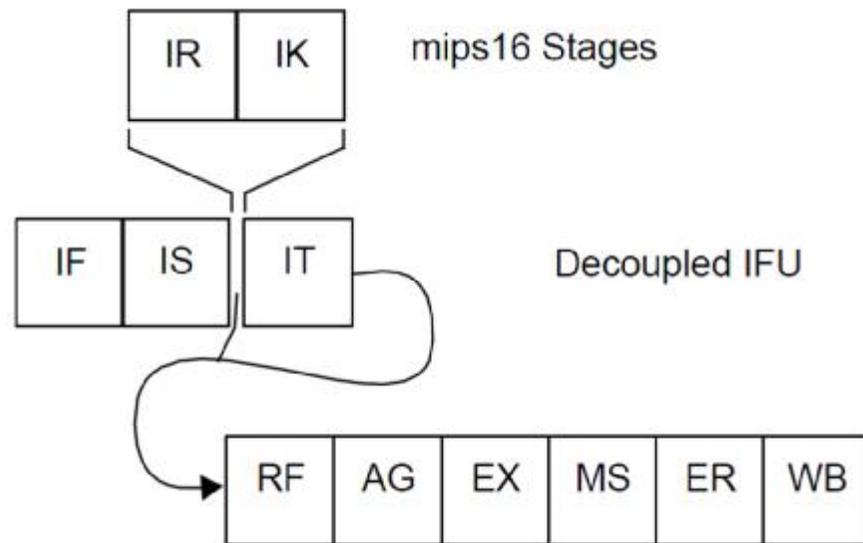
- ✓ **Позволяет повысить производительность системы на 20-40% с очень малым увеличением размеров ядра по сравнению с 24K**

- § При этом значительное повышение производительности требует поддержки операционной системы и возникает не на всех задачах

- ✓ **1.45 GHz на 40 nm G TSMC, 2.97 Coremark / MHz, 1.6 DMIPS / MHz, 0.46 mm², 0.11 mW / MHz**

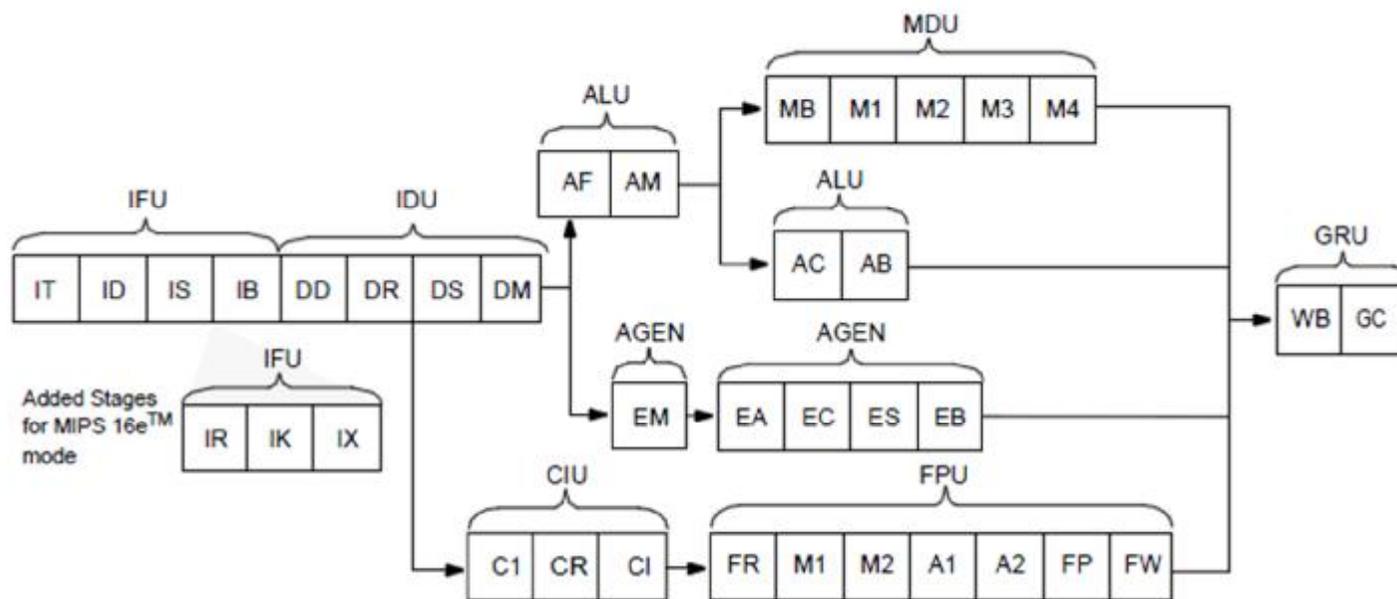
Конвейер MIPS 34K – 9 стадий

- ✓ **Дополнительная стадия конвейера позволяет ядру решать, из какого треда выполнить следующую инструкцию**
- ✓ **Решение принимается на основе информации из блока Policy Manager, который может быть модифицирован разработчиком системы на кристалле**
- ✓ **Также разработчик может менять блок Inter-Thread Communication Unit (ITC), который служит для эффективного взаимодействия между тредами**



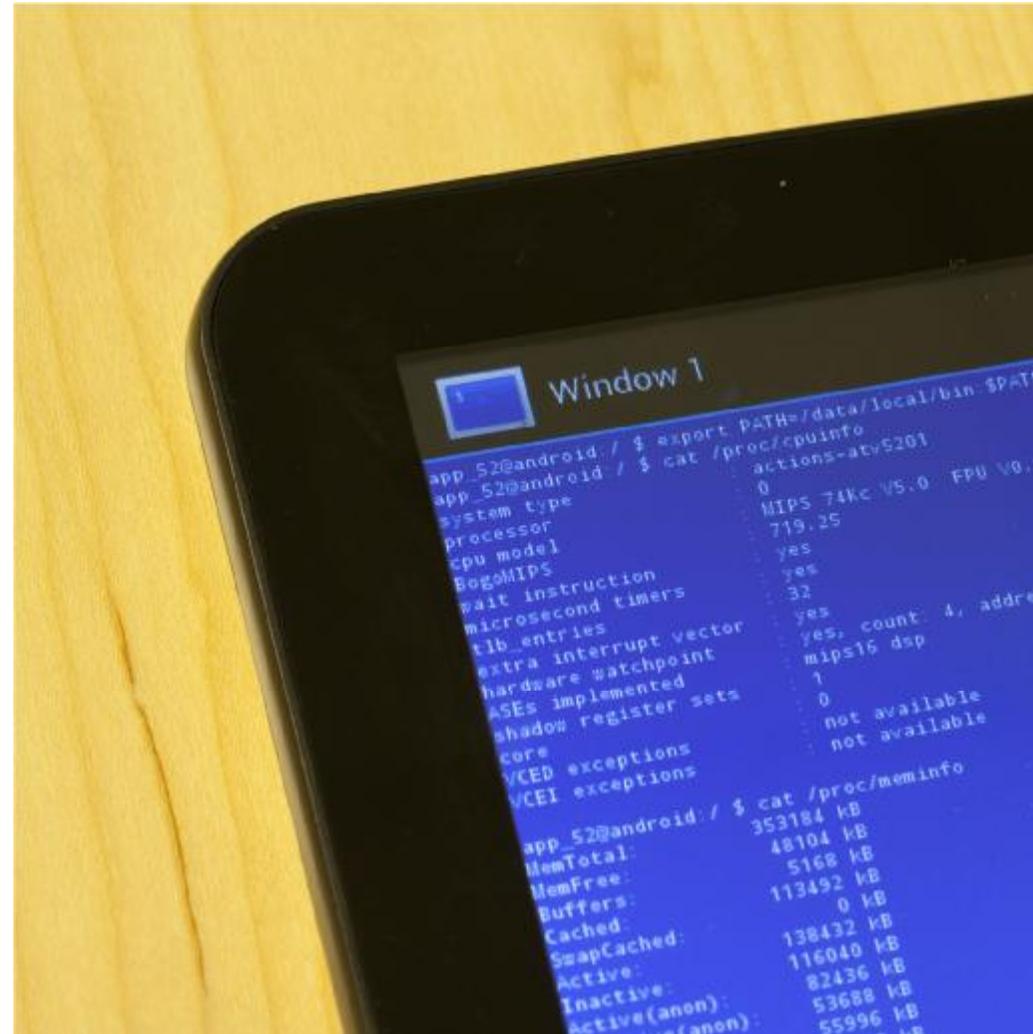
MIPS 74K – суперскалярная производительность

- ✓ Асимметричный конвейер с 15 стадиями, выборкой до 4 инструкций за цикл и out-of-order (OoO) dispatch
- ✓ 1080 MHz на 65 nm GP, 2.57 Coremark / MHz, 2.03 DMIPS / MHz, 0.52 mW / MHz, 1.7 mm² без L2\$, 2.5 mm² с L2\$



Демо: Андроидный планшет на MIPS 74K

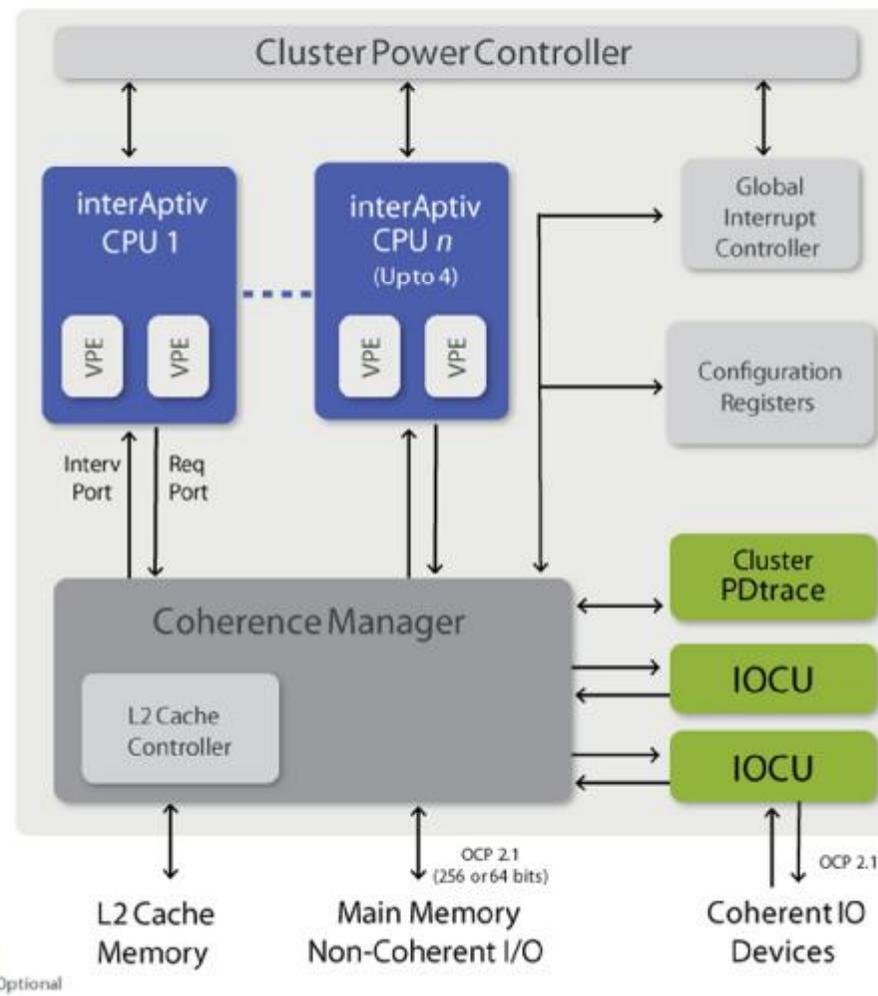
Китайская компания Action Semiconductor лицензировала ядро MIPS 74K и сделала на его основе систему на кристалле для использования в недорогих низкопотребляющих планшетах с Андроидом



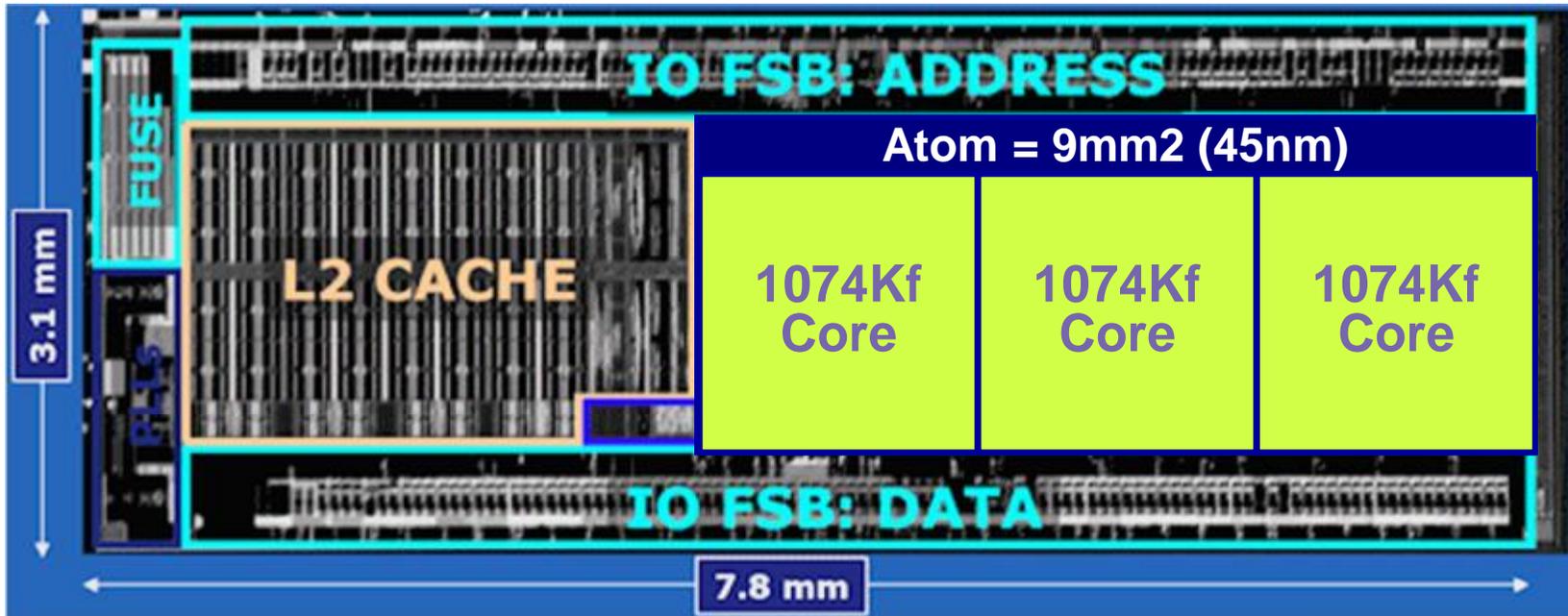
Многоядерные системы MIPS 1004K, 1074K, interAptiv и proAptiv

- ✓ Базовые ядра CPU в MIPS 1004K CPS и interAptive CPS основаны на 34K
- ✓ Базовые ядра в MIPS 1074K основаны на суперскалярном
- ✓ Менеджер когерентности позволяет ядрам «подсматривать» в кэши первого уровня друг у друга и не мешать друг другу в работе с общей памятью
- ✓ Многоядерная система имеет гибкую систему контроля энергопотребления и другие опции (см. отдельную презентацию)
- ✓ Менеджер когерентности для interAptiv (CM2) интегрирован с кэшем второго уровня и имеет оптимизированную latency

interAptiv Coherent Processing System (CPS)



Многоядерная система MIPS 1074K против Intel Atom



@ 1.2 GHz (45nm)	1074Kf (3 core)	Atom (1 core)
Performance		
Total CoreMark	9180	3830
Total DMIPS	7200	2880
Area (mm ² , 40nm/45nm)	~6.2/7.5	~ 9
Power (total dyn mW)	<1.4W	~ 2W core?/7-9W chip

Data sources: Atom: www.intel.com, Anandtech, other web content (Z5xx and CE4100 data)

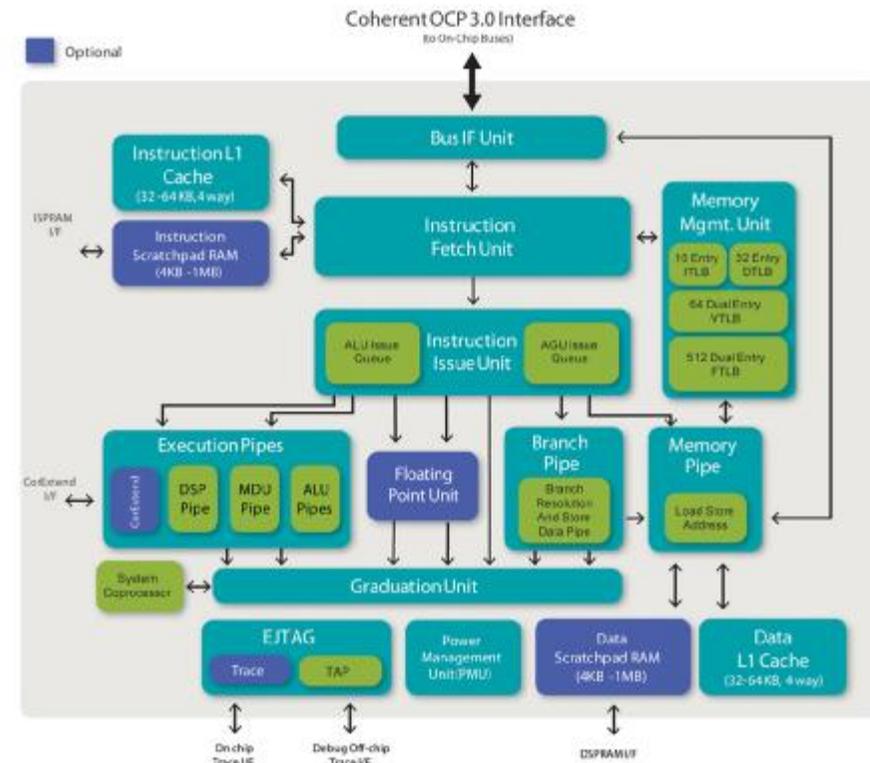
MIPS: prelim synthesis data for 1074Kf for 3 core CPS including fully configured FPU cores, plus CM functions

MIPS proAptiv – новый уровень производительности

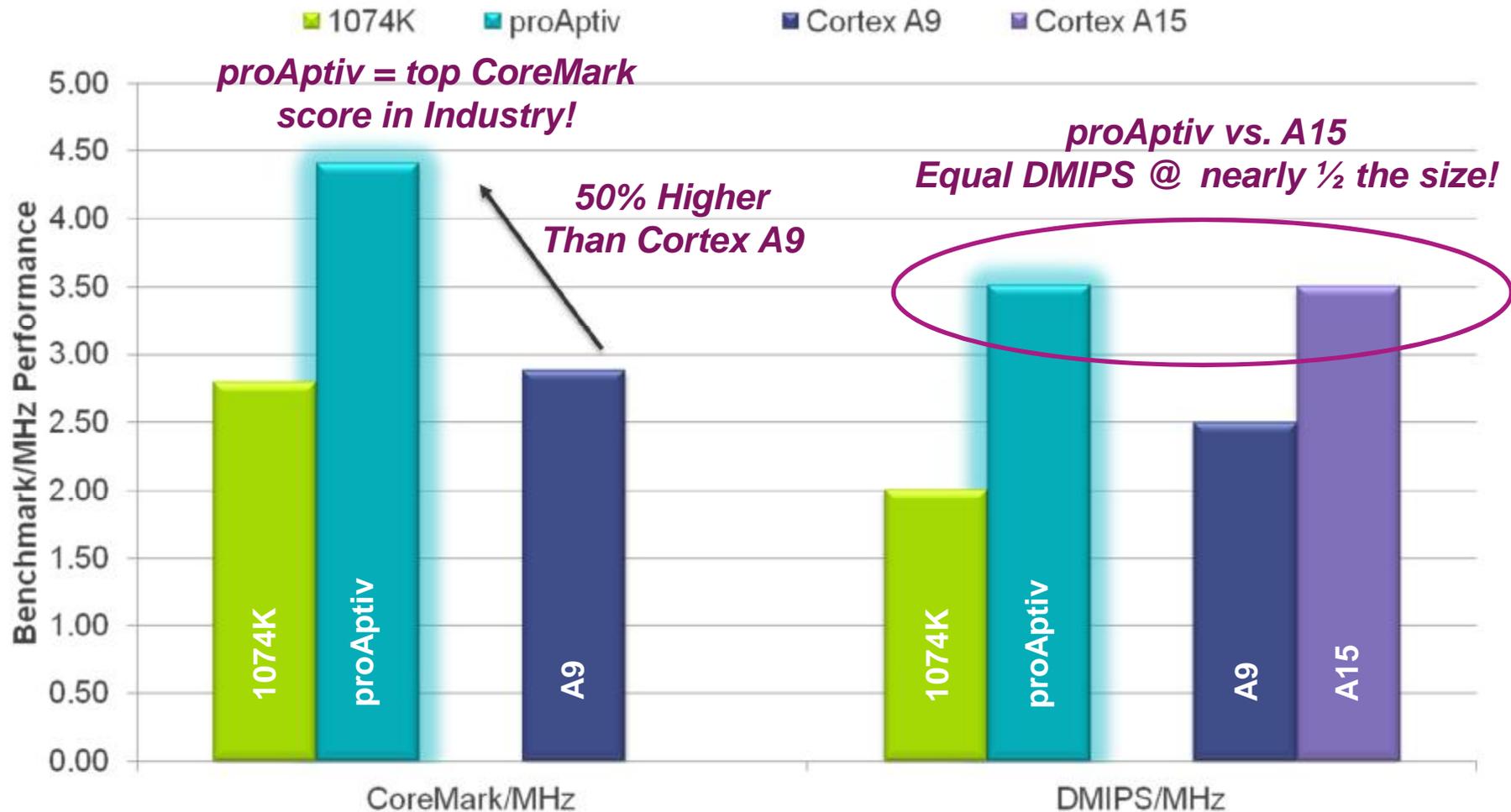
✓ Многоядерный комплекс, как и MIPS 1074K, но:

- § Базовое ядро proAptiv гораздо производительнее чем 74K за счет дополнительных конвейеров ALU
- § Новый менеджер когерентности (CM2) сильно ускоряет обмен между ядрами и L2 кэшем
- § Имплементирован механизм Enhanced Virtual Address (EVA) для лучшей утилизации адресного пространства

proAptiv Base Core Architecture



MIPS proAptiv против ARM Cortex A15 – та же производительность на вдвое меньшей площади

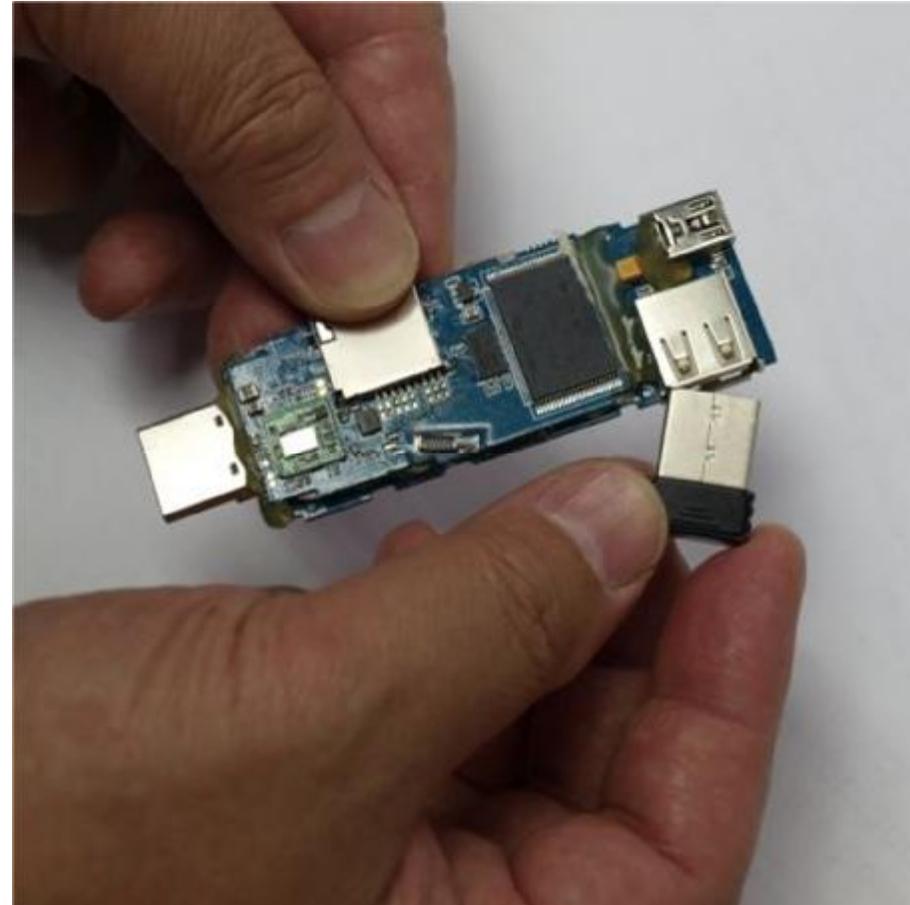


proAptiv -> performance architecture with sophisticated branch prediction

- proAptiv results: prelim/target PPA specs + measured benchmarks on FPGA bitfile of pre-GA RTL
- Cortex A15 ARM has not provided CoreMark results publicly yet.

Демо: MIPS-based Ingenic и Андроид в телевизоре

- ✓ iPPea TV Dongle – втыкается в телевизор с HDMI
- ✓ <http://www.ippea.com>
- ✓ Ingenic Jz4770 1.2 GHz
- ✓ Ingenic – лицензиат архитектуры MIPS
- ✓ Очень низкопотребляющий процессор
- ✓ Android 4.03
- ✓ Разрешение 1080p





Ядра MIPS для использования в микроконтроллерах Microchip

Юрий Панчул
Старший инженер

25 октября 2012 года

Чем ядра MIPS M4K, M14K и microAptiv хороши для микроконтроллеров?

- ✓ Наилучший баланс между производительностью, энергопотреблением и ценой в своем классе
- ✓ Программная совместимость со всем спектром устройств с архитектурой MIPS
 - § От микроконтроллеров до бытовой электроники и сетевых устройств
- ✓ Зрелые и хорошо оптимизирующие компиляторы
- ✓ Большое количество RTOS-ов и другого программного обеспечения, написанного для архитектуры MIPS
- ✓ Возможность использования микроконтроллеров на основе MIPS для целей образования студентов и школьников
 - § MIPS широко используется в университетах в курсах по компьютерной архитектуре, дизайну цифровой логики и программированию на языке ассемблера

Лучшая производительность в своем классе

✓ MIPS M4K

- § 1.5 DMIPS / MHz
- § На технологии 90 nm G может работать на 340MHz
- § В Microchip PIC32 работает на частоте 80 MHz

✓ MIPS M14K

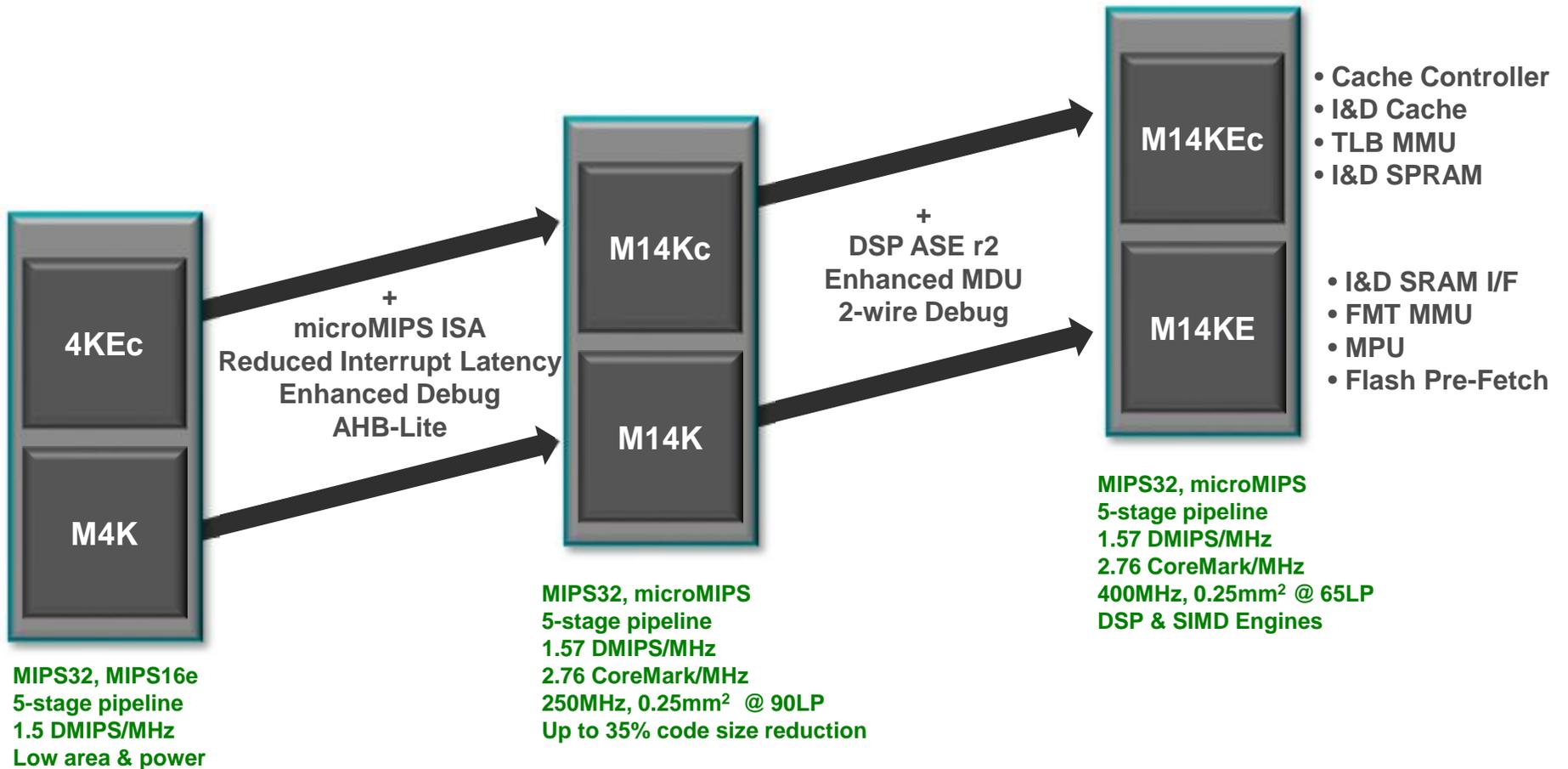
- § 1.57 DMIPS / MHz
- § 2.72 CoreMarks / MHz
- § На технологии 65LP может работать на 400 MHz

✓ MIPS microAptiv

- § 1.57 DMIPS / MHz
- § 3.09 CoreMarks / MHz в режиме microMIPS (16-битный набор инструкций)

Прогресс ядер MIPS, предназначенных для микроконтроллеров (M14KE = microAptiv)

Same Architecture & ISA
Same Development Tools



Спецификации для следующего ядра - microAptiv

Target Specs

microAptiv	MCU		MCU		MPU
Process	90LP		65LP		65G
Prod Freq (MHz)	235		380		500
Core Area (mm ²)	0.42		0.24		0.33
Core Active Power (mW/MHz)	0.16		0.08		0.10
Library	9T-SVt		9T-LVt		9T-SVt

Frequency, power consumption and size depend upon configuration options, synthesis, silicon vendor, process and cell libraries

- Production frequency, PCSI, +/- 5% OCV, 100ps clock jitter
- Core Area = Floorplan area
- MCU = Speed Optimized – microMIPS+MCU ASE+Fast MDU+Scan+Prefetch+AHB+Memory Protection
- MPU = Speed Optimized – microMIPS+MCU ASE+Fast MDU+Scan+16 TLB MMU+AHB
- Memory configuration – 8KB/8KB I/D Cache

Embedded / MCU

- ✓ 150MHz – 90LP
- ✓ Real time
- ✓ Flash/SRAM
- ✓ DSP ASE
- ✓ MPU Security
- ✓ RTOS/Linux

Mobile

- ✓ 300MHz – 65LP
- ✓ Real time
- ✓ Flash/SDRAM
- ✓ DSP ASE
- ✓ MPU/MMU
- ✓ RTOS/Kernel

Networking

- ✓ 400MHz – 65G
- ✓ High throughput
- ✓ Cache/SDRAM
- ✓ DSP ASE
- ✓ MPU/MMU
- ✓ RTOS/Linux

Главные особенности

- ✓ **Пять стадий конвейера**

- § Использование форвардинга данных для минимизации остановок конвейера

- ✓ **32-битный набор инструкций и 16-битные инструкции для экономии памяти**

- ✓ **Фиксированная трансляция виртуальных адресов для защиты памяти**

- ✓ **Различные опции умножения и деления для разработчика SoC**

- § Быстрое и медленное, а также специальные команды для алгоритмов DSP

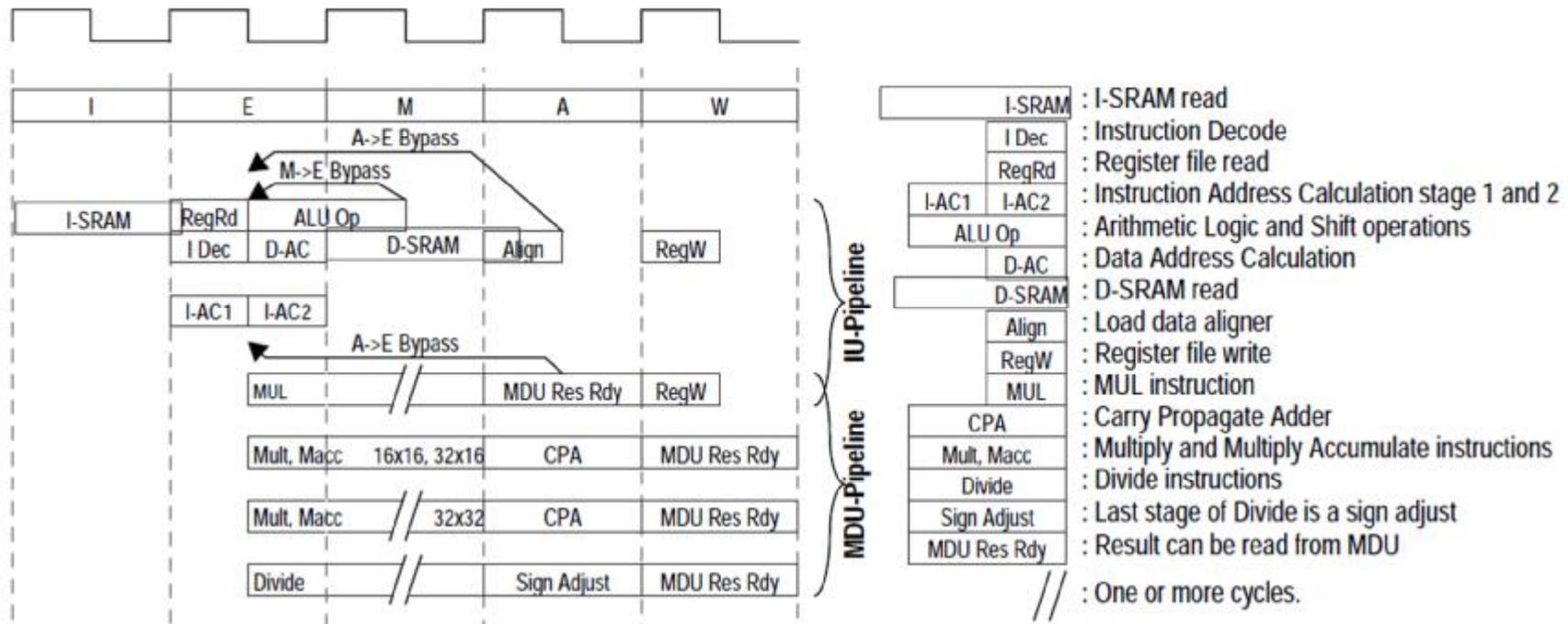
- ✓ **Векторные прерывания и поддержка внешнего контроллера прерываний**

- ✓ **Набор «теневых» регистров для ускоренной обработки прерываний**

- § Не требуется сохранение регистров в обработчике прерывания

- ✓ **Гибкий контроль энергопотребления**

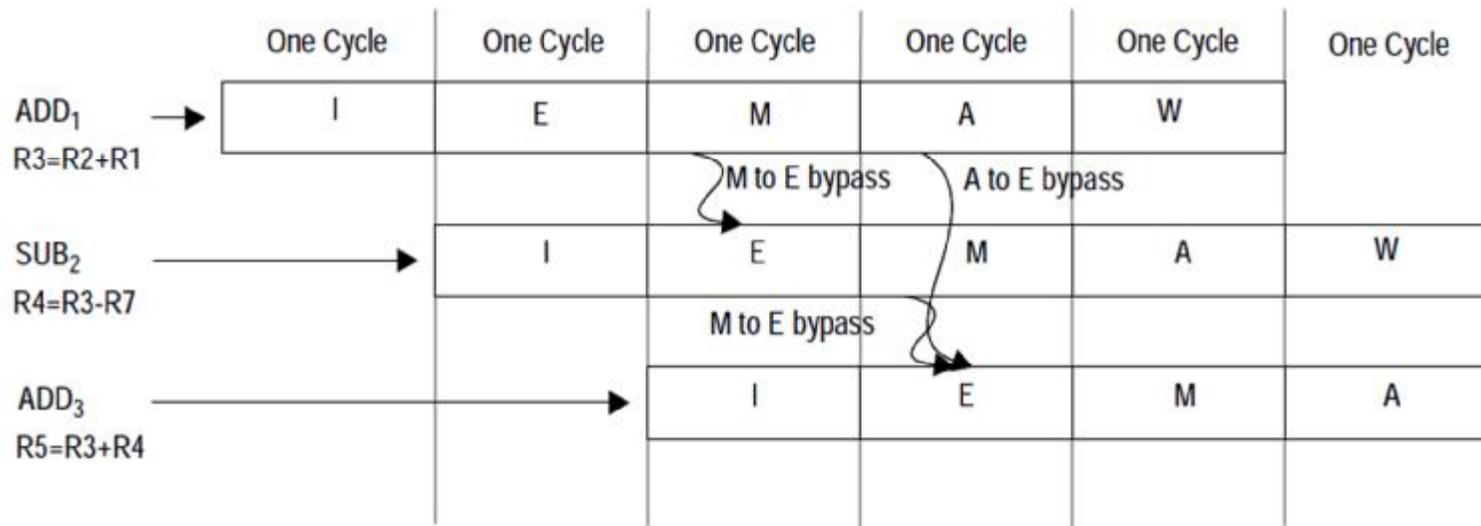
Более полная диаграмма конвейера MIPS M4K (вариант с быстрым умножением и делением)



Источник: MIPS32® M4K™ Processor Core Software User's Manual

Иллюстрация форвардинга в конвейере MIPS M4K

Форвардинг позволяет избежать остановок конвейера (stall и slip)



Источник: MIPS32® M4K™ Processor Core Software User's Manual

16-битные наборы инструкций – MIPS16e и microMIPS

✓ MIPS16e

- § Используется в M4K и старших ядрах – 24K, 74K и других
- § Программы, скомпилированные с использованием MIPS16e – на 25-30% меньше, чем без него

✓ microMIPS

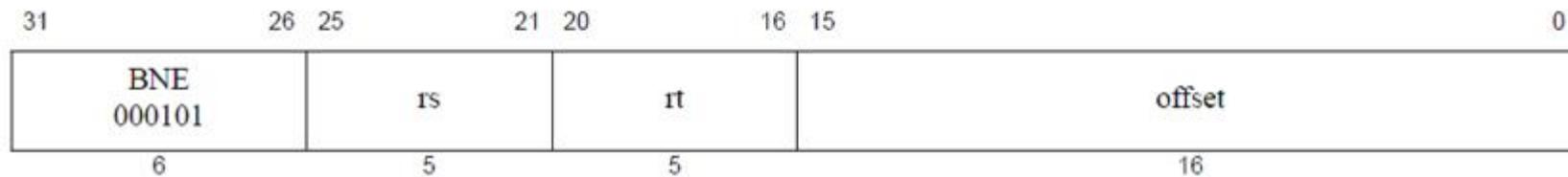
- § Реализован в M14K и microAptiv
- § Не просто расширение системы команд, а новая, альтернативная MIPS32 система команд, состоящая из смеси 16-ти и 32-битных команд
- § При «компрессии» 35% потеря быстродействия всего 2%

✓ Переключения между режимами – на лету

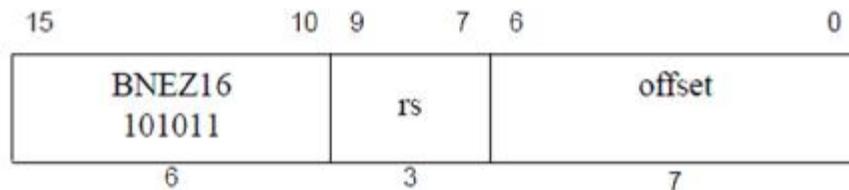
- § Главный способ переключения - переход или вызов функции по содержимому регистра, в младшем бите которого стоит 1

Пример 32-битной и 16-битной команд

MIPS32: Условный переход, когда содержимое двух регистров (*rs* и *rt*) не равно. Частный случай: условный переход, когда содержимое регистра не равно содержимому регистра 0, в котором всегда находится нуль.



microMIPS (M14K и interAptiv): Условный переход, когда содержимое регистра (*rs*) не равно нулю



Два варианта трансляции виртуальных адресов в архитектуре MIPS

✓ Главная задача устройства управления памятью - Memory Management Unit (MMU) - ограничить доступ пользовательских программ к памяти операционной системы

✓ Два способа реализации MMU

§ Фиксированный - Fixed Mapping Translation (FMT)

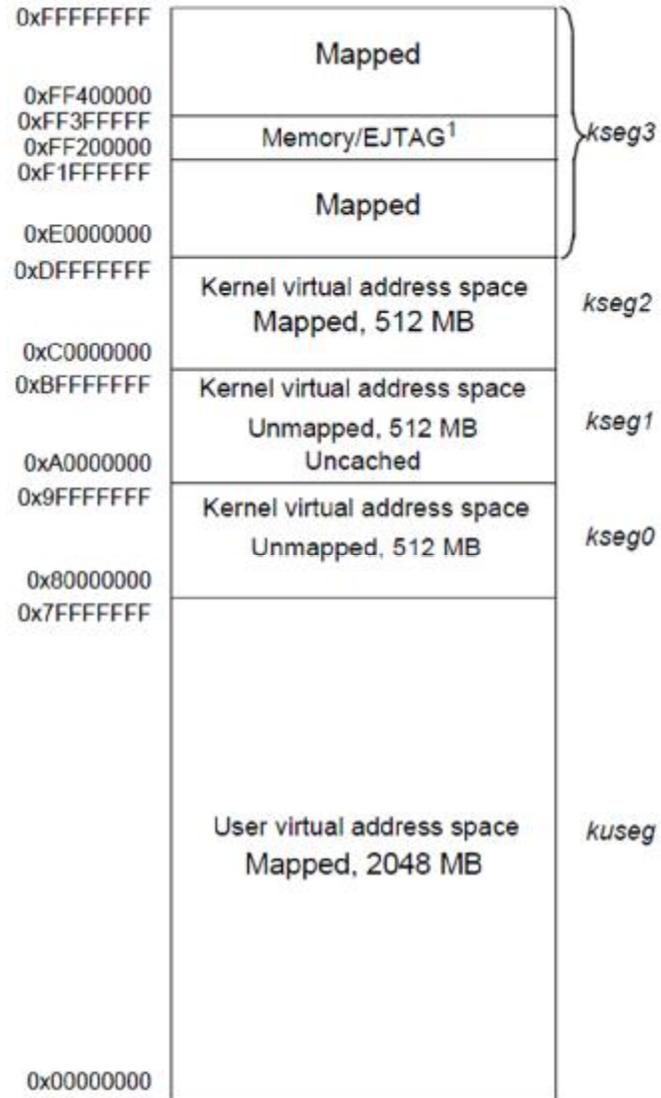
- Доступные пользователю адреса в user-mode сдвигаются на 0x40000000
- Реализован на всех ядрах MIPS

§ Гибкий, используя так называемый Translation Lookaside Buffer (TLB)

- Позволяет защитить не только операционную систему от пользовательских программ, но и пользовательские программы друг от друга
- Реализован на MIPS M14Kc, MIPS microActive MPU, а также на средних и старших ядрах, начиная с MIPS 24K

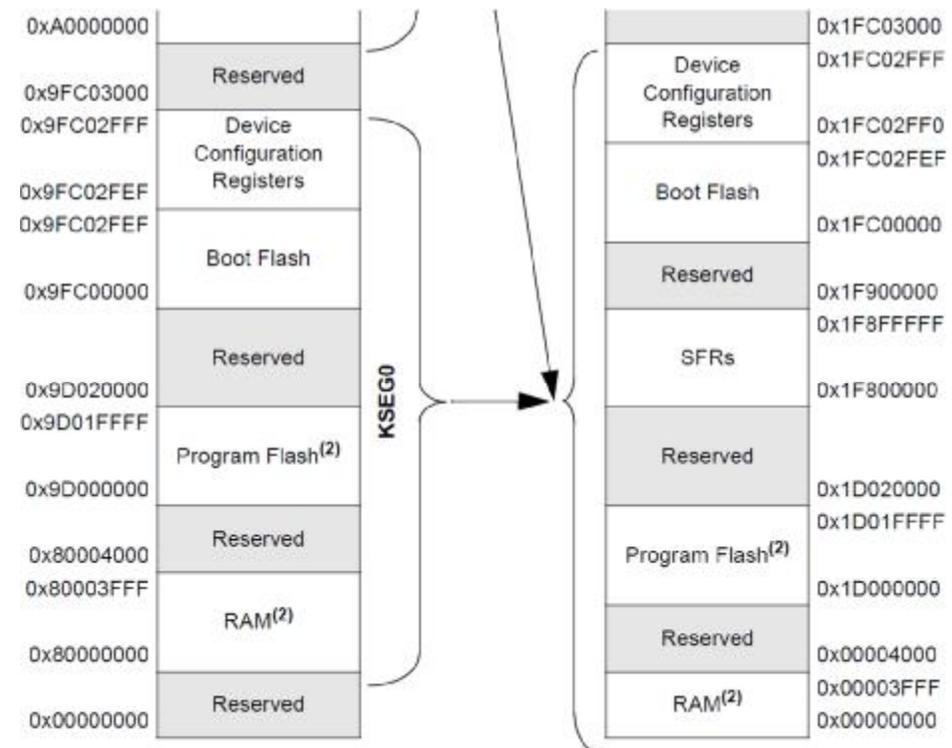
✓ И с FMT, и с TLB защита достигается трансляцией виртуальных адресов в физические с исключением в случае доступа пользовательской программы к запрещенным для нее адресам

Карта виртуальных адресов M4K



В PIC32 на M4K адресное пространство пользователя вообще не используется

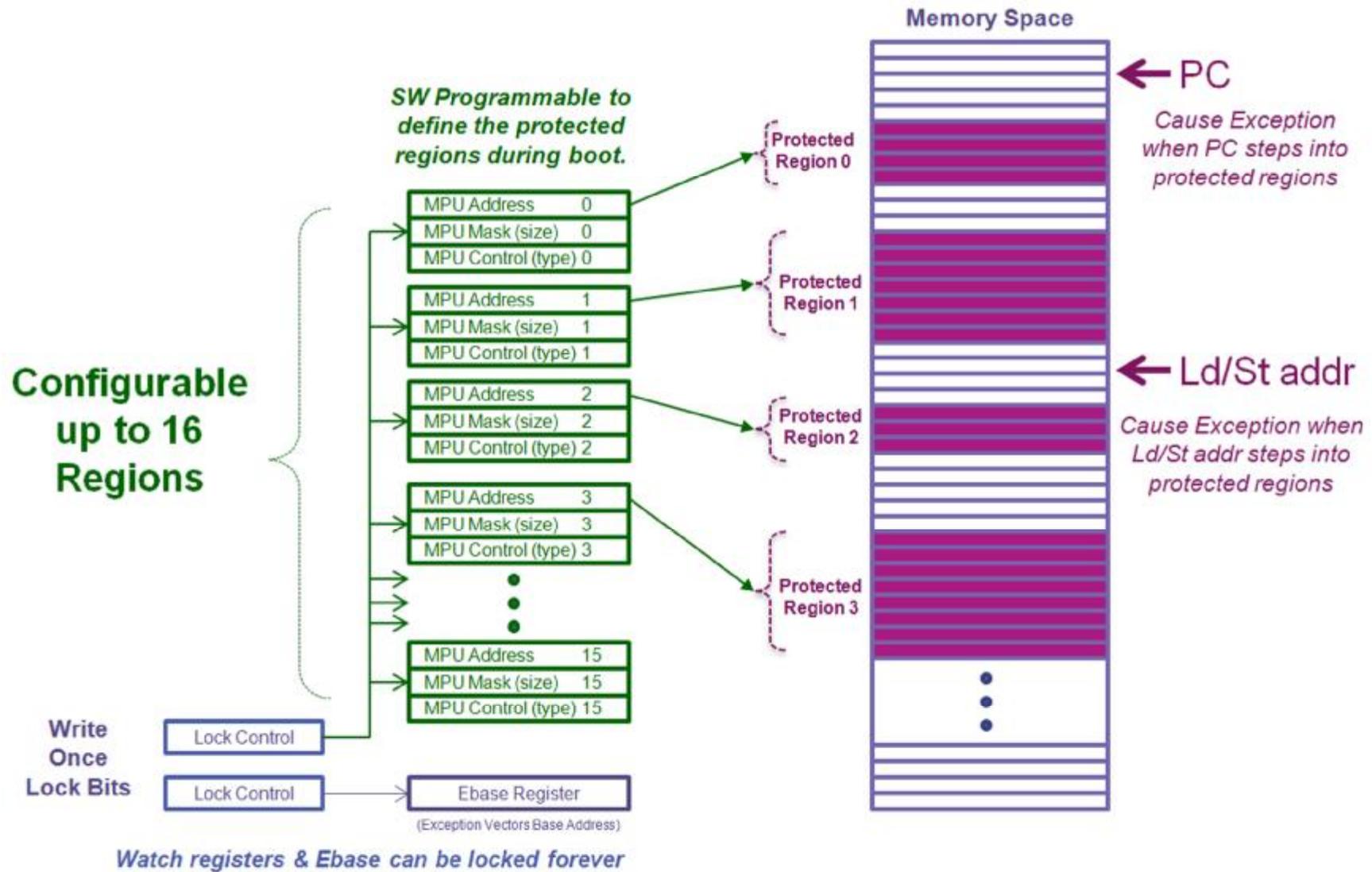
- ❑ Проблема в реализации Microchip PIC32 - защиты памяти с помощью TLB в M4K нет, а FMT недостаточно гибка для нужд пользователя микроконтроллера
- ❑ Решение
 - ❑ В M4K пользовательский диапазон виртуальных адресов вообще не используется
 - ❑ В последней версии M14K и в microAptiv используется новый механизм защиты памяти – Memory Protection Unit



Новый способ защиты памяти- Memory Protection Unit

- ✓ Реализован в последней версии M14K и в microAptiv
- ✓ Не требует TLB, может работать с FMT
- ✓ Позволяет до 16 адресных регионов, конфигурируемых регистрами системного сопроцессора
- ✓ Позволяет установить разные уровни доступа к регионам - instruction-fetch, data-read/write, or iFlowtrace access
- ✓ Неавторизованной доступ вызывает высокоприоритетное исключение

Устройство защиты памяти – Memory Protection Unit



Умножение и деление

✓ Ядра M4K / M14K / interAptiv предоставляют разработчику системы на кристалле (System on Chip – SoC) несколько конфигураций ядра для умножения и деления

§ Высокая производительность

- Умножение за один цикл синхросигнала
- Умножение со сложением (multiply-accumulate – MAC) за один или два цикла

§ 32-бита на 16-бит – за один цикл

§ 32-бита на 32 бита – за два цикла

§ Низкая производительность, зато и малая площадь на кристалле (и энергопотребление)

- Итеративный алгоритм умножения

Зачем нужна специальная команда умножения со сложением - MADD?

✓ Эта команда часто встречается в алгоритмах цифровой обработки сигналов – Digital Signal Processing (DSP)

§ Например вот формула для простого частотного фильтра (Finite Impulse Response Filter – FIR filter), убирающего определенные частоты из оцифрованного звукового сигнала

$$\begin{aligned}y[n] &= b_0x[n] + b_1x[n - 1] + \dots + b_Nx[n - N] \\ &= \sum_{i=0}^N b_i x[n - i]\end{aligned}$$

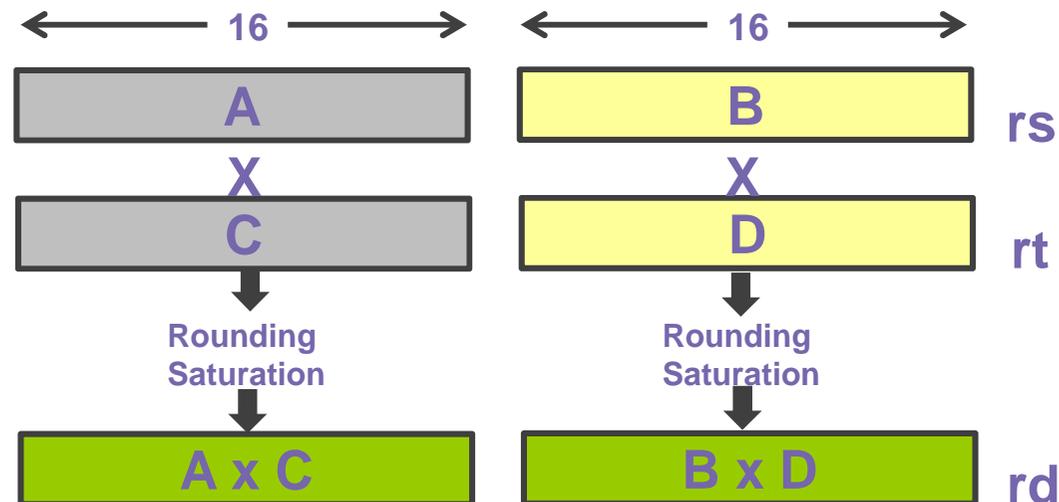
Новое ядро M14KE / microAptiv реализует большое набор инструкций для DSP

- ✓ **Инструкции для одновременных арифметических операций с четырьмя байтами 32-битного слова, которые рассматриваются как независимые числа**
 - § То же – с двумя полусловами 32-битного слова
- ✓ **Арифметика с фиксированной точкой**
 - § Для DSP алгоритмов наиболее полезными является 32-битные числа с точкой после старшего 31-го бита (Q31) и 16-битные числа с точкой после старшего 15-го бита (Q15). Старший бит и в одном, и в другом представлении содержит знак
- ✓ **Арифметика с насыщением – saturation arithmetic**
 - § В этой арифметике есть понятие «много» и умножение или сложение любого числа с «много» дает «много»
- ✓ **Дополнительные операции умножения со сложением (multiply-accumulate – MAC), которые используют четыре независимых аккумулятора**
- ✓ **Операции округления, работы с битами и т.д. – все, что повышает бенчмарки у алгоритмов цифровой обработки сигналов**
- ✓ **Все эти инструкции могут использоваться с коде на C с помощью вызова специальных псевдо-функций**

Пример команды из DSP-расширения

✓ MULQ_RS.PH, rd, rs, rt

- § Q означает «операция с фиксированной точкой» (fractional data type)
- § PH означает «независимо умножить 16-битные элементы двух 32-битных векторов»
- § RS означает «округление» (rounding) и «насыщение» (saturation)



Новые инструкции для эксклюзивного доступа

✓ В M14K и microAptiv появились новые инструкции для эксклюзивного доступа к памяти – ASET и ACLR

§ ASET – Atomic Bit Set

§ ACLR – Atomic Bit Clear

§ Инструкции работают только с некешируемой (uncached) памятью

✓ Что использовалось раньше в архитектуре MIPS для эксклюзивного доступа к памяти

§ LL – Load Linked

§ SC – Store Conditional

§ Функциональность типа ASET требовала нетривиального программирования

✓ В чем преимущество новых инструкций?

§ Гораздо проще писать код для частного случая эксклюзивного доступа к памяти

§ Работают с битами

§ Имеют предсказуемый тайминг для чтения, модификации и записи модифицированного значения

Оптимизация обработки прерываний в M14K и microAptiv

- ✓ Добавлено в M14K и соответственно в microAptiv
- ✓ Во время прерывания происходит спекулятивный prefetch для адреса обработчика прерывания
- ✓ Автоматическое сохранение в стеке и восстановление процессором регистра COP0 Status, EPS и подобной информации с Interrupt Automated Prologue (IAP) и Interrupt Automated Epilogue (IAE)
- ✓ «Цепные» (chained) прерывания – если одно прерывание случилось после другого, то первому не требуется возвращаться в код до прерывания – переход в обработчик второго случиться немедленно, даже минуя IAE и IAP
- ✓ Новая инструкция IRET в дополнение к старой ERET для использования с IAP/IAE и цепными прерываниями

Независимый аналитический журнал показывает преимущество MIPS M14K против ARM Cortex-M3

M I C R O P R O C E S S O R REPORT

www.MIPRonline.com

◆ THE INSIDER'S GUIDE TO MICROPROCESSOR HARDWARE ◆

MICROMIPS CRAMS CODE

New Processor Cores Introduce Denser 16/32-Bit Instruction Set

By Tom R. Halfhill [11/16/09-01]

Smaller is usually better for embedded processors, so MIPS Technologies is slimming down its 1980s-vintage instruction-set architecture. A new set of 16- and 32-bit instructions—dubbed microMIPS—uses less memory than existing 32-bit MIPS instructions and the

16-bit extensions added in the 1990s.

MicroMIPS will debut early next year in two new embedded-processor cores, the MIPS32 M14K and MIPS32 M14Kc. The M14K is an improvement on the MIPS32 M4K processor, introduced in 2002. It's a relatively simple, cacheless core intended for 32-bit microcontrollers in automobiles, industrial machinery, consumer electronics, and office equipment.

Its bigger brother, the M14Kc, is an improvement on the MIPS32 4KEc processor, introduced in 2003. The M14Kc has an MMU with a translation lookaside buffer (TLB), making it suitable for sophisticated embedded operating systems that manage virtual memory. It's designed for advanced consumer electronics, including DTVs, DVD players, set-top boxes, home networking equipment, personal entertainment devices, and digital cameras. Figure 1 shows how the M14K and M14Kc fit into the MIPS product line.

Both new processors respond much faster to interrupts and have better debugging features than the MIPS cores they supersede. Both gain advantages in clock speed, power consumption, and core size when compared with ARM's Cortex-M3 and ARM9200 processors, and they give ARM's new Cortex-A5 a run for the money.

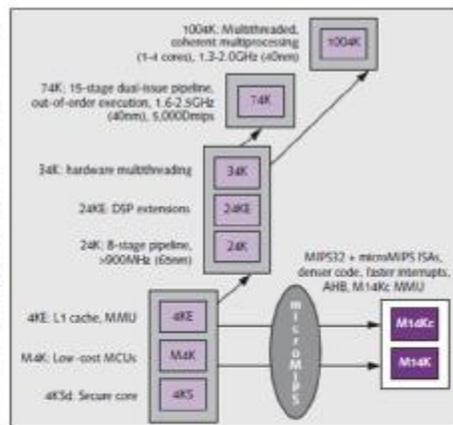


Figure 1. The new MIPS32 M14K and MIPS32 M14Kc processor cores introduce the microMIPS 16/32-bit instruction set and anchor the lower end of the MIPS product line. The M14Kc supersedes the M14K core, primarily for 32-bit microcontrollers. The M14Kc supersedes the 4KE core, offering an MMU for virtual-memory embedded operating systems.

MIPS Fares Well Against ARM

Perhaps the most surprising result of comparing the new MIPS processors with ARM's best cores is that ARM no longer has a clear advantage in power consumption, core area, and performance. Usually, those are ARM's strengths.

For instance, using the data in Tables 2 and 3, we can compare the two microcontroller cores—the MIPS M14K and ARM Cortex-M3—in the same TSMC 90nm-G process. An area-optimized M14K will consume 11.6mW at 193MHz in 0.21mm² of silicon. A speed-optimized Cortex-M3 will consume 13.3mW at 191MHz in 0.37mm² of silicon. The M14K requires less power and silicon at virtually the same clock frequency. In power efficiency, the M14K wins, too: 25Dmips per milliwatt versus 17.9Dmips per milliwatt.

Note that we compared an area-optimized M14K with a speed-optimized Cortex-M3. That's because a speed-optimized M14K can reach a much higher clock frequency (295MHz). Assuming the two processors are clocked to deliver similar performance, the M14K will use less power and silicon. (The M14K has a throughput advantage of 1.5Dmips per megahertz versus 1.25Dmips per megahertz for the Cortex-M3.)

microAptiv vs. Cortex-M4 Advantages

FEATURE	MIPS microAptiv	ARM Cortex M4
Pipeline Stages	5	3
Cache/MMU version	Y	N
ISA	MIPS32 and/or microMIPS	Thumb2
Total instructions	300	155
GPRs	32	16
Closely coupled memory support	Y	N
Interrupt latency	10 cycles	12 cycles
Instruction-only trace	Y	N
Fast Debug Channel	Y	N
DSP FEATURE	MIPS microAptiv	ARM Cortex M4
Total DSP Instructions	159	80
SIMD Instructions	70	38
Multiply/MAC instructions	38	29
Dedicated DSP/MDU unit	Y	N
Accumulators	Y (4)	N
16x8, dual 8x8 Multiply/MAC	Y	N
Shift Instructions	Y	N
Compare/Pick Instructions	Y	N



Microchip PIC32 – микроконтроллер с ядром MIPS

Юрий Панчул
Старший инженер

25 октября 2012 года

Комбинация экспертизы двух ведущих компаний

- ✓ **Microchip Technology** приносит экспертизу в микроконтроллерных системах на кристалле, периферии и промышленных приложениях

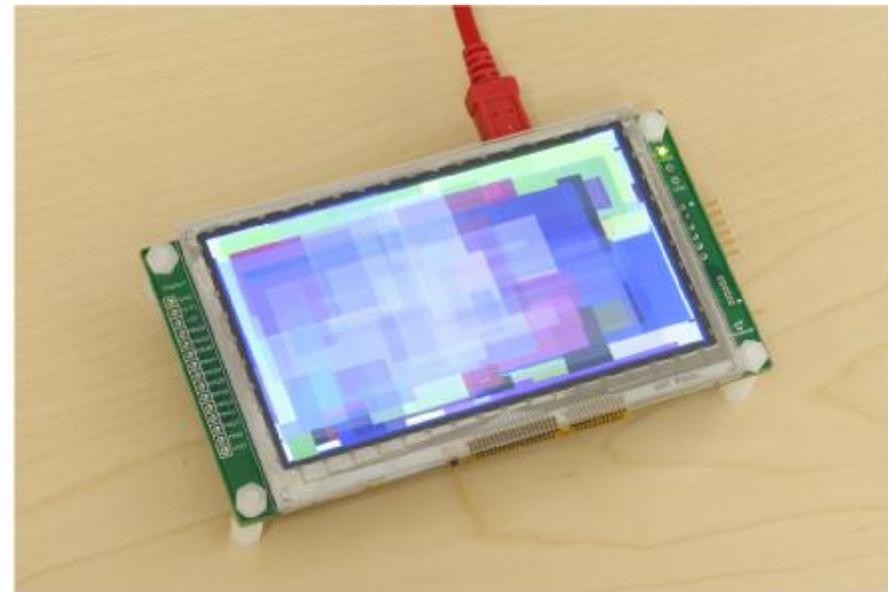
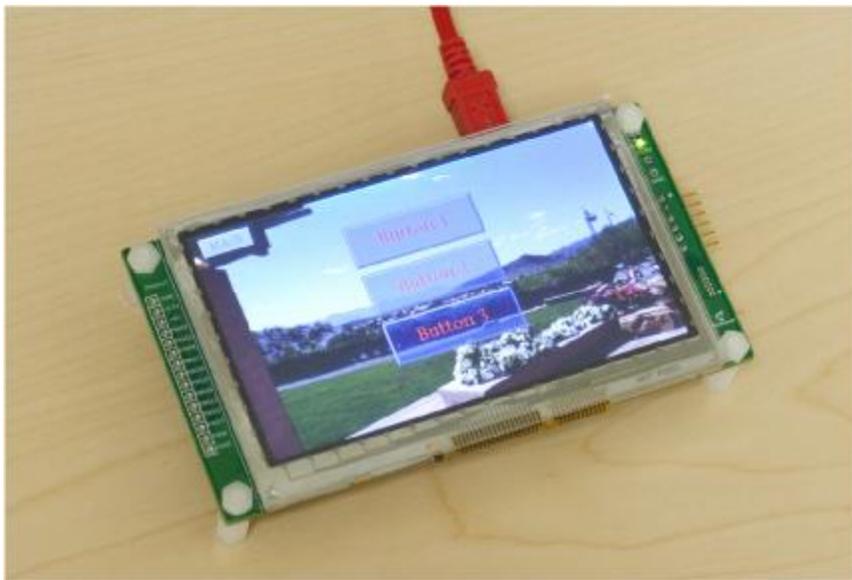
- § Микроконтроллеры PIC32 используют те же устройства ввода-вывода и средства системной интеграции, как и другие микроконтроллеры от Microchip Technology – PIC24, PIC18 и т.д.

- ✓ **MIPS Technologies** приносит экспертизу в разработке высокопроизводительных низкопотребляющих процессорных ядер

- § Ядра MIPS поддерживается крупной экосистемой средств для разработчиков – компиляторами, встраиваемыми операционными системами и другим программным обеспечением, написанным для архитектуры MIPS

Демо: PIC32 может генерировать развертку графического дисплея без контроллера

- ✓ Вы видите устройство с графическим дисплеем TFT (Thin Film Transistor)
- ✓ У этого устройства нет контроллера
- ✓ Как оно работает?



Расчет количества циклов для генерации развертки удивляет

- ✓ Дисплей WQVGA – 480 x 272
- ✓ Каждый пиксел – 24-битный RGB – 3 байта
- ✓ Частота кадров в дисплее – 60 Hz
- ✓ Вывод каждого байта через параллельный порт – 3 цикла
- ✓ Следовательно, на генерацию развертки требуется не менее $480 * 272 * 3 * 60 * 3 = 70,502,400$ циклов в секунду
- ✓ Но ведь максимальная частота используемого PIC32 – 80 MHz ?!
- ✓ Неужели процессор занимается ТОЛЬКО генерацией развертки ?

Разгадка – развертку генерирует DMA контроллер

- ✓ DMA контроллер в PIC32 – устройство, которое умеет пересылать информацию между периферийными устройствами и / или внутренней памятью без участия CPU
- ✓ Идея: Установить прерывание от таймера и DMA контроллера и в обработчике прерывания инициировать пересылку данных из памяти в параллельный порт с помощью DMA контроллера
- ✓ С DMA контроллером задача генерации развертки занимает ~5% процессорного времени PIC32

Два способа использования – с внутренней или с внешней памятью

FIGURE 2: EXTERNAL MEMORY METHOD

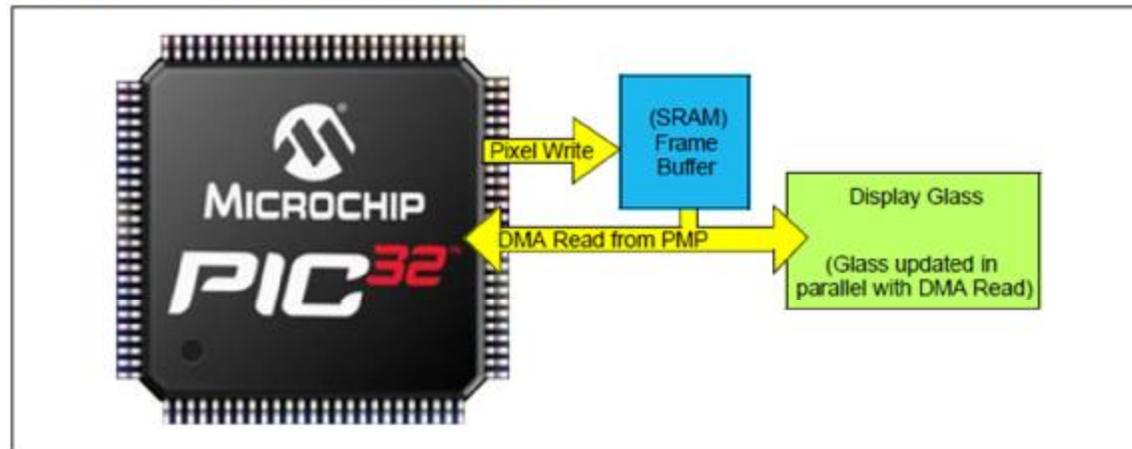
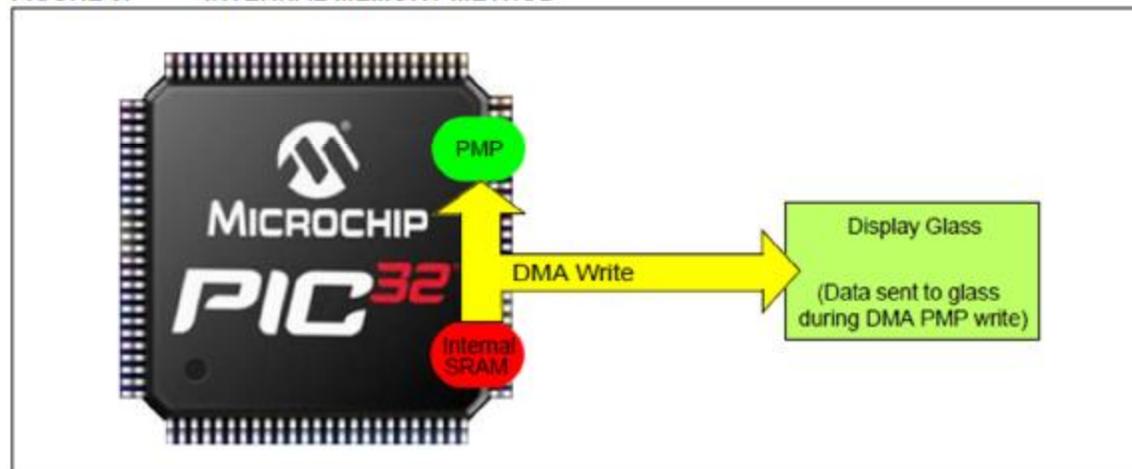
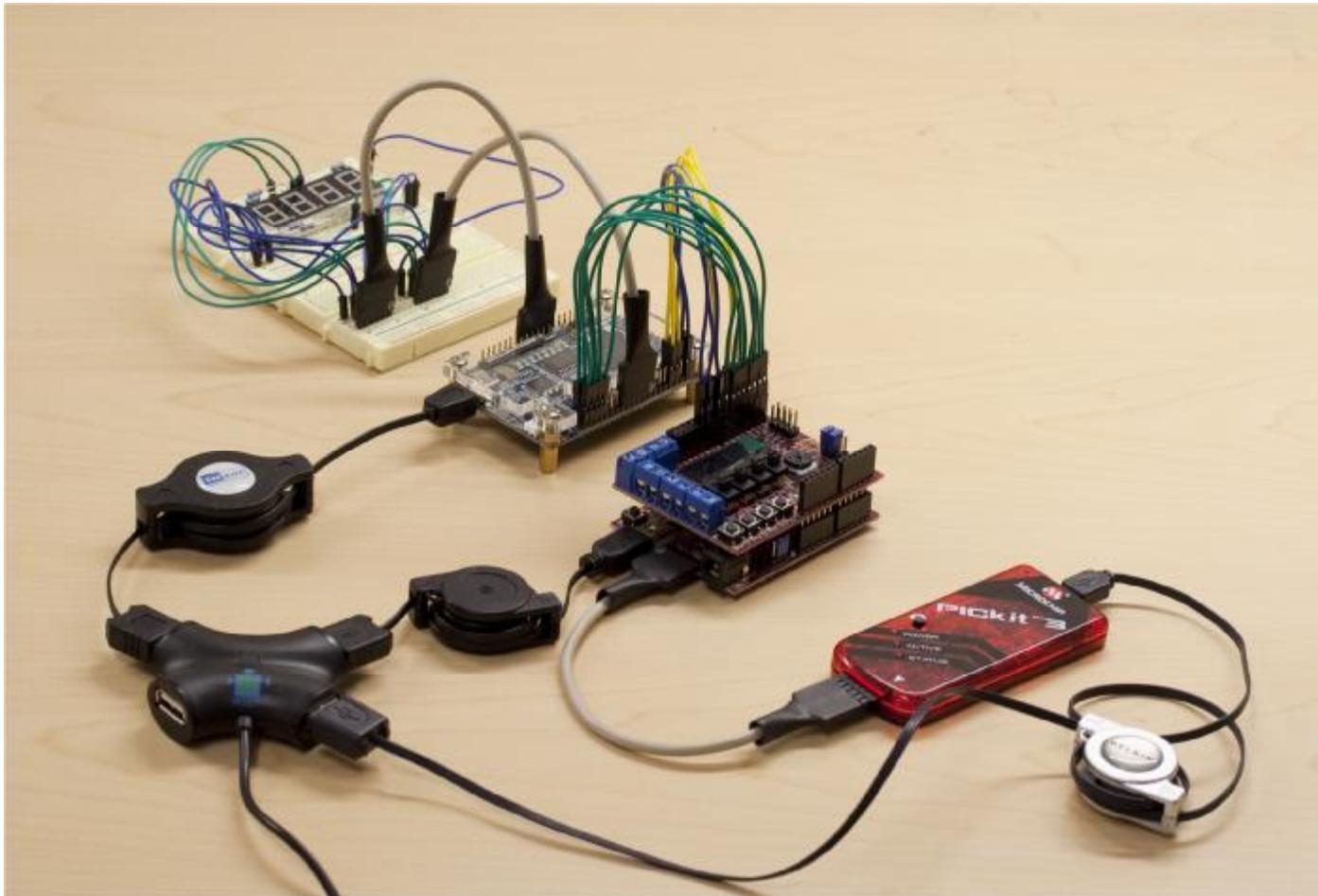


FIGURE 3: INTERNAL MEMORY METHOD



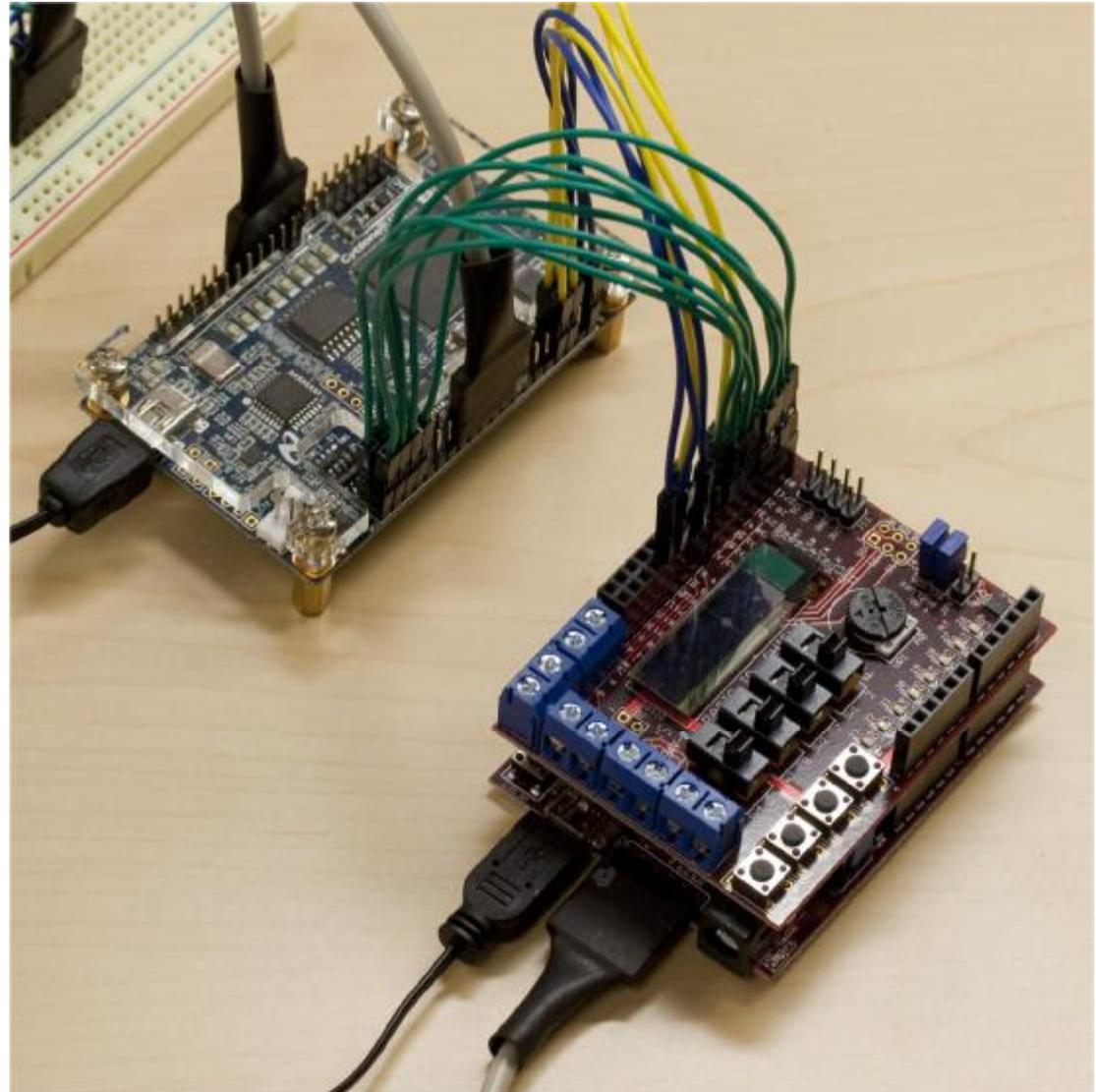
Демо: Интерфейс между микроконтроллером Microchip PIC32 и ПЛИС Altera Cyclone IV



Исходники демо - [http://code.google.com/p/pic32-examples/
source/browse/trunk/tedious/011_fpga_coprocessor_ports_3.X/](http://code.google.com/p/pic32-examples/source/browse/trunk/tedious/011_fpga_coprocessor_ports_3.X/)

Демо крупнее: Интерфейс между микроконтроллером Microchip PIC32 и ПЛИС Altera Cyclone IV

- ✓ Плата Digilent chipKit Uno32 с Microchip PIC32
- ✓ Плата Digilent chipKIT Basic I/O Shield™
- ✓ Плата DE0-Nano с ПЛИС Altera Cyclone IV
- ✓ Отладчик PICkit 3
- ✓ Макетная плата с дисплеем, USB кабели



Детали интерфейса

- ✓ Микроконтроллеры можно соединять с ПЛИС-ами либо просто через цифровые порты, либо через SPI, I²C и другие протоколы

§ Данное демо использует простые цифровые порты

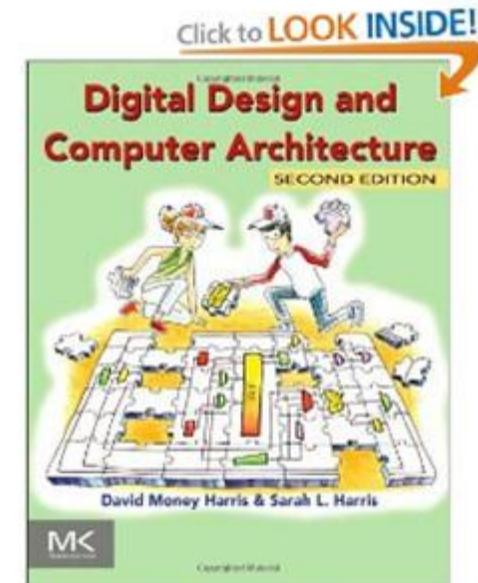
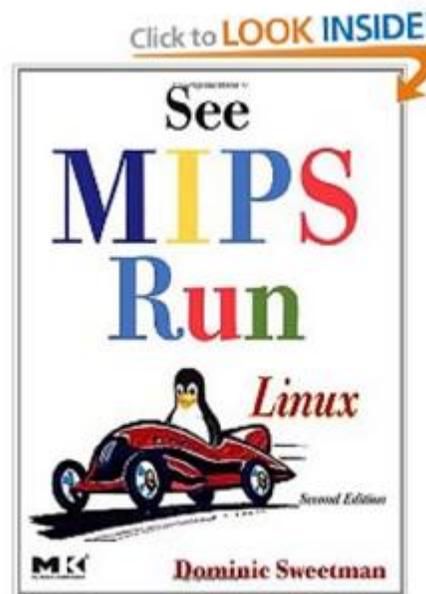
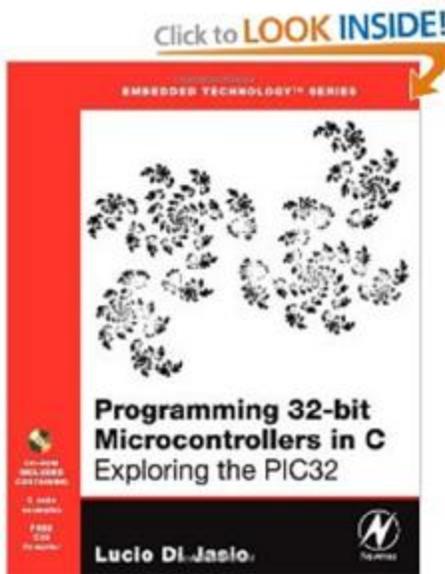
- ✓ Для трансфера данных из микроконтроллера в ПЛИС тактовая частота ПЛИС должна быть в несколько раз выше, чем у микроконтроллера - oversampling

- ✓ Так как тактовая частота в PIC32 и ПЛИС генерируется независимо, то нужно пропускать входящий в ПЛИС сигнал через два D-триггера (флип-флопа) чтобы (почти) избавиться от метастабильного состояния

§ Метастабильное состояние при таком методе все же может появляться, но с очень низкой вероятностью - раз в несколько лет

Рекомендуемая литература

- ✓ Особо следует отметить David Harris and Sarah Harris, *Digital Design and Computer Architecture* для обучения студентов
 - ✓ В этой книге студенты строят подмножество MIPS-процессора с помощью Verilog и ПЛИС
 - ✓ После чего приводится пример индустриального MIPS – Microchip PIC32 и разбирается его периферия – порты, SPI, UART, аналог, соединение с моторами
 - ✓ Таким образом, теория соединяется с практикой, и hardware соединяется с software



Спасибо!



At the core of the user experience®

MIPS, MIPS32, MIPS64, MIPS-Based, MIPS-Verified, MIPS Technologies logo are trademarks of MIPS Technologies, Inc. and registered in the U.S. Patent and Trademark Office. MIPS, MIPS32, MIPS64, MIPS-Based, MIPS Logo, MIPS Technologies Logo, Aptiv, microAptiv, interAptiv, proAptiv, CorExtend, Pro Series, microMIPS, M14K, M4K, 4KE, 4KEc, 24K, 24KE, 34K, 74K, 1004K, 1074K, MIPS Navigator, and FS2 are trademarks or registered trademarks of MIPS Technologies, Inc. in the United States and other countries.